

509,021

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 10 月 2 日 (02.10.2003)

PCT

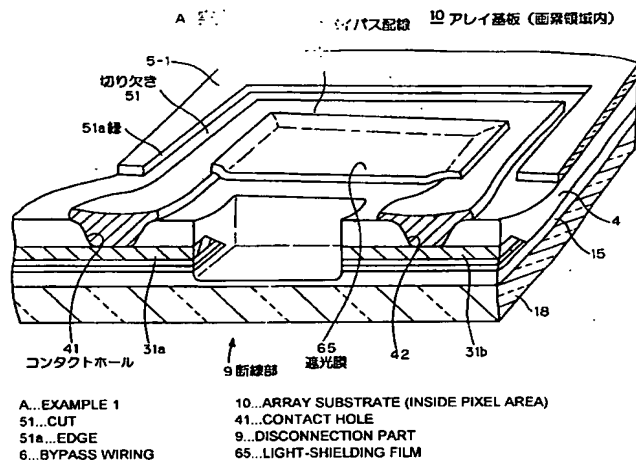
(10) 国際公開番号
WO 03/081329 A1

- (51) 国際特許分類: G02F 1/1343, 1/13 (71) 出願人 (米国を除く全ての指定国について): ティー・エフ・ピー・ディー株式会社 (TFPD CORPORATION) [JP/JP]; 〒671-1285 兵庫県 姫路市 余部区上余部 50 番地 Hyogo (JP).
- (21) 国際出願番号: PCT/JP03/03544
- (22) 国際出願日: 2003 年 3 月 24 日 (24.03.2003) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 塚田 一郎 (TSUKADA, Ichiro) [JP/JP]; 〒671-1285 兵庫県 姫路市 余部区上余部 50 番地 ティー・エフ・ピー・ディー株式会社内 Hyogo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-86972 2002 年 3 月 26 日 (26.03.2002) JP (74) 代理人: 蔦田 璋子, 外 (TSUTADA, Akiko et al.); 〒541-0051 大阪府 大阪市 中央区備後町 1 丁目 7 番 10 号 ニッセイ備後町ビル 9 階 Osaka (JP).

[続葉有]

(54) Title: ARRAY SUBSTRATE AND ITS MANUFACTURING METHOD

(54) 発明の名称: アレイ基板、及び、その製造方法



(57) Abstract: An array substrate for a flat display device and its manufacturing method in which repair of disconnection of the wiring in a pixel area can be reliably carried out irrespective of the type of the disconnection, especially irrespective of the kind, dimensions, and shape of a foreign matter (8) that causes the disconnection. For example, if a disconnection part (9) caused by a foreign matter is produced in a signal line (31), the foreign matter (8) is removed, and thereafter a U-shaped bypass wiring (6) bypassing the foreign matter (8) is formed by a laser CVD to carry out repair. In this case, a rectangular cut (51) is provided to an adjoining pixel electrode (51-1) by a laser beam application in advance, and contact holes (41, 42) for exposing the upper face of both wiring parts (31a, 31b) of the signal line (31) cut off by the disconnection part (9) are provided. After the U-shaped bypass wiring (6) is formed along the edge (51a) of the cut (51) of the pixel electrode (5), a light-shielding film for shielding the inside area of the U-shaped bypass wiring (6) from light is formed by a laser CVD.

(57) 要約: 平面表示装置用のアレイ基板及びその製造方法において、画素領域内の配線に生じた断線について、断線の種類に拘わらず、特に断線の原因となる異物の種類や寸法・形状に拘わらず、確実にリペアを行うことができるものを提供する。そのため、例えば、信号線 31 に、異物 8 による断線部 9 が生じている場合に、異物 8 を除去した後、異物 8 を迂回するコの字状バイパス配線 6 をレーザー CVD により設けることでリペアを行う。この際、予めレーザー照射により、隣接する一の画素電極 51-1 に矩形状の切り欠き

[続葉有]

WO 03/081329 A1



(81) 指定国 (国内): CN, JP, KR, US.

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

51を設けるとともに、断線部9により分断された信号線31の両配線部分31a, 31bの上面を露出させるコンタクトホール41, 42を設けておく。コの字状のバイパス配線6を画素電極5の切り欠き51の縁51aに沿って設けた後、コの字状バイパス配線6の内側の領域を遮光する遮光膜を、レーザーCVDにより設ける。

明 細 書

アレイ基板、及び、その製造方法

<技術分野>

本発明は、液晶表示装置に代表される平面表示装置等に用いられるアレイ基
5 板及びその製造方法に関する。特に、画素領域での断線に起因する画素表示
不良（線欠陥）の発生を防止すべく、断線を矯正（リペア）したアレイ基板及
びその製造方法に関する。

<背景技術>

近年、液晶表示装置等の平面表示装置は、薄型、軽量、低消費電力の特徴を
10 生かして、パーソナル・コンピュータ、ワードプロセッサあるいはTV等の表
示装置として、更に投射型の表示装置として各種分野で利用されている。

中でも、各画素電極にスイッチ素子が電氣的に接続されて成るアクティブマ
トリクス型表示装置は、隣接画素間でクロストークのない良好な表示画像を実
現できることから、盛んに研究・開発が行われている。

15 以下に、光透過型のアクティブマトリクス型液晶表示装置を例にとり、その
構成について簡単に説明する。

一般に、アクティブマトリクス型液晶表示装置は、マトリクスアレイ基板（以
下アレイ基板と呼ぶ）と対向基板とが所定の間隔をなすよう近接配置され、こ
の間隔中に、両基板の表層に設けられた配向膜を介して液晶層が保持されて成
20 っている。

アレイ基板においては、ガラス等の透明絶縁基板上に、例えば複数本の信号
線と、例えば複数本の走査線とが絶縁膜を介して格子状に配置され、格子の各
マス目に相当する領域にITO(Indium-Tin-Oxide)等の透明導電材料からな
る画素電極が配される。そして、格子の各交点部分には、各画素電極を制御す
25 るスイッチング素子が配されている。スイッチング素子が薄膜トランジスタ

(以下、TFTと略称する。)である場合には、TFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電氣的に接続され、さらにソース電極は画素電極に電氣的に接続されている。

5 対向基板は、ガラス等の透明絶縁基板上にITO等から成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

このようなアクティブマトリクス液晶表示装置の製造コストを低減する上で、アレイ基板製造のための工程数が多く、そのためアレイ基板のコスト比率が高い。

10 そこで、特開平9-160076号(特願平8-260572号)においては、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターニングを行った後、ソース電極と画素電極とを接続するソース電極と画素電極とのタクトホール
15 ホールの作製と共に、信号線や走査線の接続端を露出するための外周部コンタクト

一方、アレイ基板の製造方法において、配線の成膜時に異物が付着したり、露光時の異物等に起因してレジストパターンにピンホールが空けられたりするために、信号線や走査線に断線が生じることがある。この断線は、線状に連続する表示欠陥を生成することとなり、それだけ製品として出荷不能な不良品の
20 比率を増大させてコスト増加の要因となる。

そのため、断線部分を何らかの手段で接続するリペアが種々試みられている。例えば、特開平11-260819においては、絶縁膜の成膜と、ポジ型及びネガ型フォトリソの塗布及びスポット露光等の工程を経てリペア配線パターンを形成する方法が開示されている。

25 また、特開平2001-264788においては、アレイ基板の周縁部を囲

むように延びる予備配線を設けておき、断線部が検出された配線の両端を、電子ビーム照射による絶縁膜の静電破壊によって予備配線に接続する方法が提案されている。このような方法により、基板周縁部をぐるりと回って延びる予備配線を介して、信号入力側の対向辺の側から、該断線部より遠い側への信号の

5 入力が行われる。

しかし、特開平11-260819に記載の方法であると、一連の成膜及びパターニング工程を行う必要があることから、リペアの工程が複雑でコストを十分に低減できない。

また、特開平2001-264788に記載の方法では、静電破壊を選択的に
10 に行うことが困難であり、新たな不良を発生させるおそれがある。また、予備配線を設けるための領域が余分に必要となる他、予備配線により迂回する距離が長いため、十分な線幅を付与しないと、信号の遅延やなまりを生じ、表示性能を十分に回復できないという問題点があった。

そこで、本件発明者らは、アレイ基板の製造への応用が最近になって試み
15 られつつあるレーザーCVDの技術（例えば特開2001-77198（特願平11-245508））を用いて、リペアを行うことを試みた。

ところが、配線の断線の中には、配線の途中に異物が介在することによるものが少なくない。例えば、積層膜中に突き刺さった形の異物が断線部をなしている。

20 もしも、このような異物が存在する個所でレーザーCVDによる配線を形成するならば、異物の形状や性質によって、段差による配線の断線（段切れ）や、配線への各種の悪影響を生じるおそれが高い。そのため、異物をレーザー照射により除去した後、除去個所にレーザーCVDによるリペア用配線を形成するのが望ましい。

25 ところが、実際に試みた結果、異物の種類によってはレーザー照射による除

去が非常に困難なものがあり、特に高沸点の材料からなる異物については、周囲に悪影響を及ぼすおそれなしに完全に除去することが困難なものがあることが知られた。除去の困難な異物について顕微鏡分光分析を行った結果、透明絶縁基板をなすガラス材料の破片が含まれることが知られた。

- 5 異物の除去が充分に行われず、異物が残存した状態では、この異物の個所で段切れが生じるおそれがある。

また、異物の除去が問題なく行われた場合にも、リペア用配線をレーザーＣＶＤにより形成したときに、該リペア用配線に断線が生じる場合があった。この原因について検討した結果、異物除去により生じた凹部の傾斜面に、オーバーハンクや急傾斜部分が存在し、これに起因して段切れが生じる可能性があることが知られた。

本発明は、上記問題点に鑑みなされたものであり、平面表示装置用のアレイ基板及びその製造方法において、画素領域内の配線等に生じた断線について、断線の種類に拘わらず、特には断線の原因となる異物の種類や寸法・形状に拘わらず、確実にリペアを行うことができるものを提供する。

＜発明の開示＞

本発明のアレイ基板は、典型的には、複数の走査線と、第１絶縁膜を介してこの走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点の近傍にそれぞれ配置され一の端子が前記信号線に電氣的に接続されるスイッチング素子と、これら走査線、信号線及びスイッチング素子を含む積層配線パターンを被覆する第２絶縁膜と、この第２絶縁膜上にて前記各交点にそれぞれ対応してマトリクス状に配列される画素電極と、前記第２絶縁膜を貫き前記スイッチング素子の他の端子を前記画素電極に導通させる画素電極用コンタクトホールとを備えた平面表示装置用のアレイ基板において、異物の介在により前記信号線または走査線に生じた断線部と、前記断線部の両側

で前記第2絶縁膜を貫いて前記信号線の上面を露出させる一対のコンタクトホールと、前記一対のコンタクトホール的一方から他方へと前記断線部を迂回するように延び、前記断線部の両側を電氣的に接続するバイパス配線と、前記断線部の近傍から前記バイパス配線の配置個所に至る領域で前記画素電極が

5 除去された画素電極切り欠き部とを備えることを特徴とする。

上記構成により、画素領域内の配線に生じた断線について、断線の種類に拘わらず、特に断線の原因となる異物の種類や寸法・形状に拘わらず、確実にリペアを行うことができる。

10 なお、本発明において「迂回」とは、平面図で見た場合に、断線部上を通るよりも長い経路を通ることである。すなわち、断線部に重なるように、積層方向に回り道する場合を含まない。

一の好ましい態様によると、前記バイパス配線が前記断線部の近傍を迂回して前記切り欠きの縁に沿って延び、前記バイパス配線と前記断線部とにより囲まれる領域に遮光膜のパターンが収められている。

15 このような構成であると、特にノーマリホワイトモードの液晶表示装置において、画素電極の切り欠きによる光漏れの発生を十分に防止することができる。

20 他の好ましい態様によると、前記バイパス配線が、前記断線部の近傍に至るまで延在されて、前記画素電極切り欠き部の内側の略全体を覆うベタパターンをなす。

このような構成であると、光漏れを十分に防止できるだけでなく、配線抵抗を低減することができる。

本発明のアレイ基板の製造方法は、典型的には、複数の走査線と、この走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各
25 交点にそれぞれ対応するようにマトリクス状に配列される画素電極と、前記各

交点の近傍にそれぞれ設けられ前記信号線から前記画素電極への信号入力を行なうスイッチング素子とを備えた平面表示装置用のアレイ基板を製造する方法であって、一連の成膜及びパターニングにより、前記走査線、前記信号線、前記画素電極及び前記スイッチング素子を完成させる成膜・パターニング工程

- 5 と、この成膜・パターニング工程の後に、画素領域中にある一の配線の断線部及びその位置を検出する工程と、前記断線部の近傍領域のうち、前記一の配線により画される一方の側、または両側において、前記画素電極をなす導電膜をレーザー照射により除去して該画素電極に切り欠きを設ける工程と、前記切り欠きの内側にてレーザーCVDによる導電層の堆積を順次又は連続して行うことによ
- 10 り、前記断線部近傍を迂回して前記断線部の両側の配線部分を互いに導通させるためのバイパス配線を設ける工程とを備えたことを特徴とする。

＜図面の簡単な説明＞

図1は、実施例1のアレイ基板におけるリペア個所の構造を模式的に示す要部断面斜視図である。

- 15 図2は、実施例1のアレイ基板における、リペア個所を含む画素ドットの全体を模式的に示す要部平面図である。

図3は、実施例1のアレイ基板におけるTFT近傍の構造を示す積層断面図である。

- 20 図4は、実施例1のアレイ基板の製造方法における、レーザー蒸散加工について説明するための、要部断面斜視図による工程図である。

図5は、実施例2のアレイ基板におけるリペア個所の構造を模式的に示す要部断面斜視図である。

図6は、実施例2のアレイ基板における、リペア個所を含む画素ドットの全体を模式的に示す要部平面図である。

- 25 図7は、実施例2のアレイ基板におけるTFT近傍の構造を示す積層断面図

である。

図8は、実施例3のアレイ基板の製造方法における、レーザー蒸散加工について説明するための、要部断面斜視図による工程図である。

図9は、実施例3のアレイ基板におけるリペア個所の構造を模式的に示す要部断面斜視図である。

図10は、実施例3のアレイ基板における、リペア個所を含む周縁部を模式的に示す要部平面図である。

<発明の実施のための最良の形態>

<実施例1>

10 実施例1のアレイ基板及びその製造方法について、図1～4を用いて説明する。以下において、TFTを各画素のスイッチング素子とした、ノーマリホワイトモードの透過型液晶表示装置用のアレイ基板を例にとり説明する。また、異物による断線が信号線に生じた場合の修理（リペア）を例にとり説明する。

図1の模式的な断面斜視図には、信号線の断線を矯正したアレイ基板10の要部を示す。詳しくは、画素領域内（周縁部以外）にて、信号線31に断線部9が生じた場合に、コの字状のバイパス配線6等を設けてリペアを行っている。

また、図2の部分平面図には、矯正を行った、アレイ基板の画素ドットの全体の様子を示し、図3の部分断面図には、TFT近傍（図2のIII-III断面）の積層構造を示す。また、図4には、リペアの前の異物8による信号線31の断線の様子（上段）、及びリペアのためのレーザー蒸散加工後の様子（下段）を示す。

実施例のアレイ基板10においては、ガラス基板18上に複数の走査線11（ゲート電極線）と、複数の信号線31（ドレイン電極線、データ配線）とがゲート絶縁膜15（図2及び3）を介して互いに略直交するように配列される。また、画素電極5が、これら走査線11及び信号線31がなす各交点に対応して、これら走査線11及び信号線31により画される各画素ドット開口の略全体を覆うように、マトリクス状

に配列される。また、走査線 11 及び信号線 31 がなす各交点の付近には、走査線 11 に印加される走査パルスにしたがい信号線 31 から画素電極 5 への信号入力をスイッチングするための TFT7 が配置されている。ここではボトムゲート構造の TFT を例にとり説明する。

- 5 アレイ基板 10 には、下層から順に、モリブデン—タングステン合金 (MoW) 膜またはアルミニウム (Al) 系金属膜等からなる、走査線 11 及び TFT7 のゲート電極 11a を含む第 1 導電層のパターンと、酸化シリコン層及び窒化シリコン層からなるゲート絶縁膜 15 と、アルミニウム (Al) 系金属膜等からなる、信号線 31、及び TFT7 のソース及びドレイン電極 33、32 を含む第 2 導電層のパターンと、窒化シリコン膜等からなる層間絶縁膜 4 と、ITO 等の透明導電材料からなる、画素電極 5 を含む第 3 導電層のパターンとが重ね合わされて配されている。画素電極 5 は、層間絶縁膜 4 を貫くコンタクトホール 43 を通じて TFT7 のソース電極 33 に電氣的に接続されている (図 3)。

- 15 したがって、液晶配向膜 (不図示) を除けば、画素電極 5 がアレイ基板 10 の最上層に位置する。

- 20 TFT7 は、詳しくは、図 3 に示すように、走査線 11 の延在部 11a をゲート電極としたボトムゲート構造で、TFT7 のチャンネル部に対応する位置にチャンネル保護膜を有するチャンネルストッパー型である。このゲート電極 11a を覆う個所に、ゲート絶縁膜 15 を介して、アモルファスシリコン (a-Si:H) 等の半導体活性層 34 が配置される。この半導体活性層 34 の上には、略中央のチャンネル部 71 にチャンネル保護膜 2 が配置され、チャンネル部以外にリンドーパモルファスシリコン (n⁺a-Si:H) 等からなるオーミックコンタクト層 39 が積層配置される。さらにこの上には、ソース電極 33 及びドレイン電極 32 が配置される。

- 25 アレイ基板上の、信号線、走査線、TFT 及び画素電極等を形成する成膜及びパタ

ーニングの工程は、例えば、特開平 9-160076 号や特開 2000-267595 号に提案された製造方法にしたがい、信号線を含む配線層パターンと TFT の半導体層のパターンとを一括してパターニングすることにより、少ないパターニング工程でもって効率的に行うことができる。

- 5 実施例のアレイ基板においては、図 1 に模式的に示すように、信号線 31-1 の異物 8 による断線部 9 の近傍に、この断線部 9 を避けて迂回する形のバイパス配線 6 が設けられている。このバイパス配線 6 の両端部は、異物 9 により分断された信号線 31-1 の各配線部分 31 a 及び 31 b に対して、層間絶縁膜 4 を貫くコンタクトホール 41, 42 を通じて接続されている。図示の例で、バイパス配線 6 の幅は、コンタクトホール 41, 42 を覆う幅広の個所を除き、略一定である。

このようなバイパス配線 6 を設けるにあたり、画素電極 5 との導通または電流的なリークを防止するために、断線部 9 からバイパス配線 6 の配置個所に至るまでの領域で、画素電極 5 を構成する ITO 膜が予め除去されている。

- 15 また、このような画素電極 5 の切り欠き 51 の個所でのバックライト光の漏れを防止するために、バイパス配線 6 と、断線部 9 及びこの両側の配線部分 31 a 及び 31 b により囲まれる領域が、ほぼ、全面的に、金属製の遮光膜 65 により覆われている。特に、図示の例においては、光漏れを最小限にすべく、遮光膜 65 が、バイパス配線 6 の内縁に被さるように設けられている。

- 20 図 1、図 2 及び図 4 を用いて、リペア部分の製造工程の概要について説明する。

アレイ基板の検査工程により、信号線 31-1 に断線が生じていることが判明したならば、例えば X-Y 可動載置台及び顕微鏡装置を用いて断線部 9 の位置が正確に特定されるとともに、異物 8 による断線かどうかの判定が行われる。

- 25 異物 8 による断線である場合には、さらに異物 8 の概略寸法についても特定

された後、以下の(1)～(4)の工程が行われる。

(1) 画素電極の切り欠き51の形成(図4)

まず、断線部9に隣接する2つの画素電極5-1及び5-2のうち一方の画素電極5-1に切り欠き51を設ける。断線部9の近傍の個所にレーザーを照射することにより、該個所にて画素電極5を構成するITO膜を除去する。すなわち、レーザー蒸散加工法(Zapping法)により、一方の画素電極5-1における断線部9近傍の個所のITO膜が除去される。

図示(図1～2)の例では、信号線に沿った方向に断線部よりも少し細長い矩形状に切り欠き51が形成される。

10 (2) コンタクトホール41, 42の形成、及び異物の除去(図4)

また、断線部9の両側にある、信号線31-1の配線部分31a, 31bに、これらの上面を露出させるコンタクトホール41, 42をそれぞれ設ける。これらコンタクトホール41, 42は、断線部9から所定距離だけ離れた個所にレーザー光を照射して、該個所の絶縁膜4を除去する同様のレーザー蒸散加工法
15 (Zapping法)で除去することにより行う。

さらに、同様のレーザー光照射による異物8の除去を行う。図示の例で、異物8を除去した断線部9の個所には、略矩形状の平底の凹部44が形成されている。特に、異物8を確実に除去すべく、ゲート絶縁膜15の上層部分まで除去されている。

20 (3) コの字状バイパス配線6の形成

次に、レーザーCVDを用いる局所的な金属層の堆積により、一方のコンタクトホール41から他方のコンタクトホール42へと、画素電極5の切り欠き51の縁51aに沿って延びるバイパス配線6を形成する。バイパス配線6は、コンタクトホール41, 42の底面41a, 42a(図4)をも覆い、これにより直接両側の配線部分31a, 31bの上面に接触することで電氣的に
25

接続される。この際、レーザーCVDによる金属層の厚み、すなわちバイパス配線6の膜厚は、層間絶縁膜4の膜厚より大きいか、または同程度である。一具体例において、バイパス配線6の厚みが300nmであり、層間絶縁膜4の膜厚が230nmである。したがって、コンタクトホール41、42の縁で金属層に不連続部分

5 「段切れ」が生じることはない。

また、バイパス配線6は、画素電極5の切り欠きの縁51aから、リーク電流の発生を十分に防止するのに必要な間隔だけ離されている。また、この間隔は、バックライト光の漏れを十分に防止するよう、リーク電流防止のための必要最小限の間隔とされている。ここではこの間隔は5 μ mとなるよう形成され

10 る。

このような金属層からなるバイパス配線6を通じて、断線部9により隔てられた両側の配線部分31a及び31bが、互いに導通することとなる。

(4) 遮光膜パターン65の形成

バイパス配線6と、断線部9及び配線部分31a、31bにより囲まれる領域を、全面的に、またはほぼ覆い尽くすように、遮光膜のパターン65が、レーザーCVDにより形成される。尚、この遮光パターンは、バイパス配線とは接続しない島状に形成する場合について説明したが、後述するように、バイパス配線と一体的に形成することも可能である。

このような遮光膜のパターン65を配置することにより、バイパス配線6の内側での光漏れが防止されている。また、上述のようにバイパス配線6と画素電極の切り欠きの縁51aとの間隔を最小限とすることにより、この個所での光漏れも、最小限に抑えることができ、実用上ほとんど問題とならない程度とすることができる。

断線の原因となる異物8には、アレイ基板を構成するガラス基板18からの破片や、成膜やドライエッチングの工程でチャンバーの壁から剥離される無機材料の破

片が含まれる。これらの異物8は、一般に、安定であって、液晶層に影響を与える物質を染み出すことがなく、アレイ基板上に突き刺さったままであっても、上記のようになりペア後には何ら問題を引き起こさない。

以下に、レーザーCVD及びレーザー照射の条件についての具体例を挙げる。

- 5 レーザーCVDによる導電層の堆積には、レーザー光源として、 $\text{Nd}^{+3}:\text{YLF}$ レーザー装置を用い、この第3高調波(349nm)を使用した。

- バイパス配線6の作成の際には、タングステン(W)を局部的に堆積させるように、ソースガスとしてタングステン含有カルボニル化合物、例えば $\text{W}(\text{CO})_6$ を用いた他、キャリアガスとしてアルゴンガス(Ar)を用いた。また、例えば、連続発振のレーザー光であって、エネルギーレベルが100mW(4kHz)以上であるものを
10 用い、配線幅が約5 μm 、膜厚が約0.3 μm の配線層が堆積されるようにした。

- 上記具体例のようにタングステン含有カルボニル化合物を用いるならば、レーザー光による分解・堆積効率がよく、成膜安定性が優れるので、好ましい。しかし、クロムカルボニル等の他のソースガスも場合により使用可能である。したがって、バイパス配線6をクロム(Cr)その他の金属により形成することもできる。一方、キャリアガスとしては、不活性であるアルゴンガスが好ましいが、窒素ガス等も使用可能である。
15 ある。

- バイパス配線6の幅は、レーザー光のスリット幅やエネルギーレベルを調整して、例えば2~25 μm の範囲から適宜選択することができる。また、膜厚が例えば1.0 μm 以下の範囲から適宜選択することができる。
20 0 μm 以下の範囲から適宜選択することができる。

一方、画素電極5を構成するITO膜を除去して切り欠き51を設けるためには、例えば、上記と同様のレーザー装置を用い超音波Qスイッチ素子により変調されてパルス状に発振するレーザー光であって、レーザー発振器直後のエネルギーレベルが0.4~0.6mJ(1~10Hz)の範囲内であるものを用いる。

- 25 また、コンタクトホール41、42の形成のためのレーザーによる絶縁膜4

の除去の際には、例えば、同様のレーザー光であって、エネルギーレベルが0.6 mJ (2 Hz) を越えるものを用いる。

このように、レーザーCVDによるバイパス配線6の形成と、レーザーによる切り

5 効率よく行うことができる。

バイパス配線6の形成のためのレーザーCVDの際には、画素電極5に近接した個所に配線を形成するため、画素電極がITO等からなる透明電極である場合に、YLFレーザーの第3高調波といった紫外線領域のレーザー光を用いるのが好ましい。しかし、画素電極がアルミニウム系金属等の金属膜からなる反射型電極である場合には、

10 YLFレーザーの第2高調波を用いることができる。

レーザー光の光源としては、上記具体例のようなYLFレーザー、またはYAGレーザーを用いるのが、上記範囲のエネルギーレベルを容易に得られることから好ましい。しかし、場合によっては炭酸ガスレーザーその他のレーザーを使用することも可能である。

15 本実施例において、バイパス配線6は、断線部9の近傍を迂回するコの字状配線であるとして説明したが、滑らかな曲線からなるC字状であっても良く、また、コの字状に代えて、一つの折り曲げ部のみを有するL字状であっても良い。

20 このように、バイパス配線を信号線の延在方向とは平面的に重複しない位置に形成することにより、バイパス配線の断線を抑制することができる。

<実施例2>

次ぎに、実施例2のアレイ基板及びその製造方法について、図5～8を用いて説明する。

ここでのアレイ基板は、実施例1の場合と同様、TFTを各画素のスイッチング素子とした、ノーマリホワイトモードの透過型液晶表示装置用のアレイ基板で

ある。但し、画素領域内には、絶縁性の厚型樹脂膜45が、TFT や配線層のパターンと画素電極との間の層として設けられている(図7)。厚型樹脂膜は、一般に1~10 μ m、典型的には2~4 μ mの厚さを有する低誘電率の有機樹脂からなり、これを介して重ねられる画素電極と信号線等との間での、電気容量の発生や短絡のおそれを十分に小さくすることを可能にするものである。

厚型樹脂膜45は、図7に示す例において層間絶縁膜4上に積層されているが、層間絶縁膜4に代えて設けられても良い。

図5の模式的な断面斜視図には、信号線の断線を矯正したアレイ基板10'の要部を示す。また、図6の模式的な平面図には、矯正箇所及びその周囲の画素ドットの構成について示す。

本実施例におけるアレイ基板10'の構成は、リペア部分が多少異なる他は、厚型樹脂膜45の存在を除き、上記実施例1と全く同様である。

リペア部分においても、図5~6に示すように、実施例1と同様、信号線3の断線部9を迂回して延びる一種のバイパス配線6'が設けられており、これにより、信号線の両配線部分31a及び31bが導通されている。また、図示の具体例において、断線部9には、実施例1の場合と同様の、矩形状の凹部44がリペアにより形成されている。

しかし、本実施例のバイパス配線6'は、コの字状でなく、略矩形状のベタ(solid)パターンとして設けられている。すなわち、実施例1のコの字状バイパス配線6がその内側へと、断線部9の凹部44の縁にまで延在されており、実施例1における遮光膜65に相当する部分は、矩形状のバイパス配線6'に一体に含まれている。

また、図5中に示すように、本実施例のバイパス配線6'は、厚型樹脂膜45を除去して層間絶縁膜4を露出させた略矩形状の樹脂膜抜き部46中に設けられている。この樹脂膜抜き部46を囲む、厚型樹脂膜45の端面45aの上縁は、

画素電極5の切り欠き51の縁にほぼ一致している。そして、この厚型樹脂膜45の端面45aは、バイパス配線6'の縁から延在された金属遮光膜66により被覆されている。

さらには、図6中に示す例において、画素電極5の切り欠き51は、断線部59から見て、バイパス配線6'の逆側にも、設けられており、これにより、隣の画素電極5-2と、バイパス配線6'との短絡が防止されている。

以下、リペア部分の製造工程を通じて、本実施例について、より詳細に説明する。

例えば特開2000-29055 (US Appln. No. 09/349245) に記載の方法で、アレイ基板を作製した後、検査工程が行われる。アレイ基板の検査工程により、信号線31-1に断線が生じていることが判明したならば、例えばX-Y可動載置台及び顕微鏡装置を用いて、断線部9の位置、及び、断線部分9の寸法、すなわち、両側の配線部分31a, 31b間の距離dが特定される(図8上段)。

15 (1) 画素電極の切り欠き51及び厚型樹脂膜の抜き部46の形成(図8中段)
実施例1で説明したと同様のレーザー蒸散加工法により、断線部9の近傍で、画素電極5及び厚型樹脂膜45を矩形状に除去して、層間絶縁膜4を露出させる。これにより、断線部9を挟む一方の画素電極5-1の側に、画素電極の切り欠き51、及び、樹脂膜抜き部46が形成される。

20 この際、図6に示す例において、断線部9を挟む他方の画素電極5-2についても、切り欠き51-2が設けられる。但し、切り込みの寸法は、樹脂膜抜き部46を設ける側に比べて、かなり小さい。この切り込みの寸法は、コンタクトホール41, 42や断線部9の個所と離間して、これらの個所に堆積される金属膜との短絡を防止できる程度に設定される。

25 (2) 断線部の除去(図8中段)

断線部 9 の個所にて、同様のレーザー蒸散加工法により、ゲート絶縁膜 15 にまで達する凹部 44 を設ける。この際、凹部 44 の寸法は、図示の例で、配線部分 31 a, 31 b 間の間隔 d と略一致するようにしている。

(3) コンタクトホール 41, 42 の形成 (図 8 下段)

- 5 さらに、同様のレーザー蒸散加工法により、断線部 9 の両側に同様のコンタクトホール 41, 42 を設ける。すなわち、断線部 9 により隔てられた、信号線 31-1 の配線部分 31 a, 31 b の上面を、それぞれ露出させる。

図示の例で、コンタクトホール 41, 42 は、断線部 9 に設けた凹部 44 の縁から所定距離だけ離れた個所に設けられているが、凹部 44 と連続するよう
10 に設けることもできる。

図示の例では異物 8 が存在しないが、異物の残存の有無を検出することなく、凹部 44 を設けるとするならば、検出工程が簡略化され、リペア工程を一定の操作により行うことができる。

但し、厚型樹脂膜 45 の除去後、断線部 9 に異物が残存していることが判明
15 した場合にのみ、凹部 44 を設けても良い。なお、凹部 44 を設けない場合、リペア用の CVD 配線は、断線部 9 をも含むめて形成されることとなる。しかし、確実なリペアのためには、断線部 9 を迂回する「バイパス配線」部分と、断線部 9 を覆う部分とが合わさった矩形状等のパターンを、レーザー CVD で設けることとなる。すなわち、この場合も一種のバイパス配線を設けることに
20 変わりはない。

(4) 矩形ベタパターン状のバイパス配線 6' の形成 (図 5 ~ 6)

実施例 1 で説明したと同様のレーザー CVD により、樹脂膜抜き部 46 をほぼ全面的に覆うように金属層が堆積される。そのため、樹脂膜抜き部 46 内で層間絶縁膜 4 上に形成されるバイパス配線 6' は、コンタクトホール 41, 42
25 を覆う個所を除き、一つの略矩形のベタパターンをなす。

また、厚型樹脂膜45の端面45aを覆う金属遮光膜66が、バイパス配線6'の縁から連続するように形成されて、該端面45aからの光漏れを防止する。厚型樹脂膜45の厚みは、例えば4~5 μ mにも達するので、多くの場合、端面45aからの光漏れを防止する必要があるのである。

- 5 図示の例では、光漏れの防止を優先して、金属遮光膜66が樹脂膜端面45aの上縁付近にまで達している。しかし、画素電極5-1との短絡の防止を優先する場合には、端面45aの上縁付近で、金属遮光膜66が省かれるようにすることもできる。

- 10 なお、図示の例では、断線部9に設けた凹部44の底面及び壁面にも、レーザーCVDにより、同時に金属層65、67が堆積されている。しかし、図5中に示すように、凹部44の底面の金属層65と、壁面の金属層67との間には段切れ65aが生じている。そのため、壁面の金属層67とバイパス配線6'とかつて導通しても、壁面の金属層67と凹部44の底面の金属層65との間では、電気的な導通が、全く行われていないか、または、部分的にのみ行
- 15 われている。

したがって、断線部9により分断された両配線部分31a及び31b間の電気的な導通は、断線部9にある凹部44を迂回して延びる、略矩形ベタパターン状のバイパス配線6'を通じて行われる。

- 20 本実施例において、バイパス配線6'を配置する個所で厚型樹脂膜45を予め除去しておくのは、次のような理由からである。

(i) 樹脂膜のクラックによる断線等の防止

- 厚型樹脂膜45が、通常、アクリル系樹脂といった材料からなるため、レーザーCVDの際の高熱を受けると、クラックが生じる場合がある。そのため、厚型樹脂膜45上にそのままバイパス配線6'を設けた場合には、下地のクラッ
- 25 クに起因して、断線などが生じることがある。

(ii) コンタクトホール 41, 42 の縁での段切れの防止

コンタクトホール 41, 42 が、層間絶縁膜 4 のみならず厚型樹脂膜 45 を
も貫くものであると、コンタクトホールの壁面をかなり緩やかなテーパ状に
しないと、導電層の段切れを生じるおそれがある。ところが、レーザー照射に
5 よりコンタクトホール 41, 42 を設けるため、緩やかなテーパ状にするの
は難しい。

したがって、厚型樹脂膜 45 を除去しておくことにより、確実なリペアが行
われる。

バイパス配線 6' は、寸法構成の一具体例において、コンタクトホール 41,
10 42 被覆個所を除き、 $20\mu\text{m}$ (信号線 31 に沿った方向) \times $10\mu\text{m}$ (信号
線 31 に垂直の方向) の矩形のベタパターンをなしている。

以上に説明した各実施例によると、信号線の断線をリペアするにあたり、成膜、露
光等のパターンニング工程を行う必要や、リペア用の予備配線を設けておく必要がなく、
また、異物による断線の場合にも必ずしも異物を除去する必要がない。そのため、リ
15 ペアのための工程に起因して、新たな不良や不具合を発生させるおそれがなく、また、
周縁部非表示領域の幅を増加させたり画素開口率その他に悪影響を与えることもな
い。

特には、異物に起因する断線の場合、異物の種類や性状及び寸法形状に拘わらず、
リペア用の配線に段切れ等の不良が生じることなく、簡便で低コストの方法により確
20 実にリペアを行うことができる。

上記実施例により、断線欠陥が検出された不良品のアレイ基板から、十分に正常に
動作するアレイ基板を確実に得ることができるため、アレイ基板の製品歩留まりを向
上することができる。しかも、ほとんど最小限の工程負担及び装置負担により確実に
リペアを行うことができるため、アレイ基板の製造効率を向上させるとともに、アレ
25 イ基板の製造コストを全体として低減することができる。また、不良品を廃棄するた

めの工程及びコスト負担を低減することとなる。

上記実施例においては、信号線が異物により断線した場合のリペア、及び、異物によるかどうか判定せずに行うリペアについてだけ説明した。しかし、断線部が異物によるものかどうかの判定の後、異物によらない断線については、画素の切り欠きを設

5 けずに、信号線に重なって延びるリペア配線を、同様のレーザーCVDにより設けることができる。

また、異物による断線以外であると判断される断線についても、上記と同様、断線部を迂回するバイパス配線によるリペアを行うことができる。この場合、リペア工程が若干複雑になるものの、段切れ等の不良の発生のおそれをより少なくして線欠陥を

10 より確実にリペアすることができる。

上記実施例によると、バイパス配線6の長さが信号線31に比べて非常に短く、また、十分な幅及び厚みを有するように形成されるため、リペア後の信号線31の電気抵抗はほとんど上昇しない。したがって、駆動周波数が高くなった場合にも書き込み不足等の不良が生じるのを防ぐことができる。

15 特には、実施例2のように、バイパス配線と、その内側の金属の遮光膜とを一体にした矩形状等のベタパターンとする場合、配線抵抗を、かなり小さくすることができる。また、場合によっては、バイパス配線を信号線の両側に設けることもできる。すなわち、1つの断線部に対して2つのバイパス配線を設けることもできる。

上記実施例1では、画素電極の切り欠き51を矩形状に設け、これに併せて

20 バイパス配線6をコの字状に設けているので、レーザー照射スポットの位置合わせが容易となる。また、バイパス配線6の内側の領域が対応して矩形状となるので、レーザーCVDを用いる遮光膜を矩形状に配置すれば良く、遮光膜形成のための操作も容易になる。

また、実施例2においても、画素電極の切り欠き51及び樹脂膜抜き部46

25 を矩形状に設けているので、矩形ベタパターン状のバイパス配線6'を設けるに

あたり、レーザー照射スポットを信号線方向に走査すれば良いので、位置合わせや、照射スポット移動の操作が容易になる。

上記各実施例においては、信号線の断線を矯正するリペアについて説明したが、走査線の断線のリペアも全く同様に行うことができる。また、TF Tがトップゲート型

5 であってても全く同様である。

上記各実施例においては、異物8が後の工程で剥離して悪影響を及ぼすおそれに鑑み、異物8を除去して層間絶縁膜に凹部44を形成したが、そのようなおそれがない場合には、いうまでもなく、断線部9に凹部44を設ける必要がない。

10 上記実施例においては、信号線が層間絶縁膜により覆われるとして説明したが、信号線が画素電極とともに同一の絶縁膜上に配置されていても良い。この場合には、断線部の両側で信号線を露出させるコンタクトホールを設ける必要がない。また、層間絶縁膜を介して、金属層からなる信号線とITO膜からなる冗長配線とが重ね合わされる構造であって、異物により冗長配線もが断線している場合に、冗長配線の部分同士をバイパス配線により接続するのであっても良い。

15 また、信号線または走査線が、これらの交点の付近で断線を生じた場合には、バイパス配線6を収納配置するための画素電極切り欠き部51を、隣接する2つの画素電極の角部にわたって設け、バイパス配線6が走査線11を横切って延びるようにすることもできる。この際、交点の箇所の異物により、走査線11にも断線が生じているのであれば、走査線11の断線をリペアするためのバイパス配線6等のリペア部をも
20 設けることができる。

＜実施例3＞

次ぎに、実施例3のアレイ基板及びその製造方法について、図9～10を用いて説明する。

図9の模式的な断面斜視図には、引き出し配線12-1の断線を矯正したアレイ
25 基板10の要部を示す。また、図10の部分平面図には、矯正を行った部分を含む、

アレイ基板 10 の周縁部の構成について模式的に示す。

本実施例のアレイ基板は、実施例 1 と同様のアレイ基板 10 において、画素領域内の信号線に代えて、周縁部の引き出し配線 12 の断線をリペアしたものである。

- 5 引き出し配線は、画素領域内の信号線または走査線から、基板端 10a 付近の領域へと引き出す配線である（図 10）。ここでは信号線からの引き出し配線も、走査線と同時に形成される金属配線により形成され、コンタクトホールを経て、信号線の端部と接続される。また、引き出し配線 12 の外側端部には、外部からの接続用、または検査用の、パッド 13 が設けられている。
- 10 図示の例では、異物等による断線部 9 にて、上記実施例と同様のレーザー照射により、断線部 9 の個所に、ガラス基板 18 を露出させる凹部 44 を設けている。また、同様の操作により、断線部 9 の両側の配線部分 12a, 12b の上面をそれぞれ露出させるコンタクトホール 41, 42 と、バイパス配線 6 とを設けている。
- 15 ここで、バイパス配線 6 は、断線部 9 の付近を迂回する、コの字状、ないしは切り欠き付きの矩形ベタパターン状である。ここで、バイパス配線 6 の線幅は、引き出し配線 12 の線幅の少なくとも約 2～3 倍となっている。詳しくは、コンタクトホール 41, 42 を覆う個所、及び、これから引き出し配線 12 に垂直に延びる個所 6a, 6b において、引き出し配線 12 の約 2～3 倍である。
- 20 また、信号線 31 に沿った方向に延びる矩形ベタパターン状の個所 6c において、引き出し配線 12 の幅の約 2～4 倍である。

図 9～10 に示す具体例において、バイパス配線 6 の矩形ベタパターン状の個所 6c は、隣の引き出し配線 12-2 と、さらに隣の引き出し配線 12-3 との間にまで延びている。

- 25 また、図 10 に示す具体例においては、隣り合う 2 つの引き出し配線 12-1,

1 2-2 の同一の個所にて、リペアが行われている。そのため、バイパス配線 6 がそれぞれ、逆側に形成されている。なお、図示の例において、バイパス配線 6 は、シール材配置領域 10b 内に位置するため、表示パネルを組み立てた後には、バイパス配線が外部に露出することがない。

- 5 このようなリペア部分の構成により、上記実施例 1 ～ 2 の場合と同様、断線部のリペアを、ほとんど最小限の工程負担及び装置負担により、確実に行うことができる。また、本実施例においても、断線の原因となった異物を必ずしも除去する必要がない。

- 10 上記各実施例においては、アモルファスシリコン (a-Si) TFT タイプのアレイ基板について説明したが、多結晶シリコン (p-Si) TFT タイプ等のアレイ基板であっても同様である。この場合、例えば、特開 2000-330484 や特開 2001-339070 に記載の方法により作成したアレイ基板について、上記と同様の方法によりリペアを行うことができる。

<産業上の利用可能性>

- 15 画素領域内の配線に生じた断線について、断線の種類に拘わらず、特に断線の原因となる異物の種類や寸法・形状に拘わらず、確実にリペアを行うことができる。

請求の範囲

1. 基板上に形成される第1の配線と、前記第1の配線の延在する方向であ
って、前記第1の配線と同一平面層上に形成され、前記第1の配線とは前記平
5 面層上で不連続に形成される第2の配線と、前記第1の配線および前記第2の
配線の上層に絶縁膜を介して配置され、前記第1の配線および前記第2の配線
を電氣的に接続する導電部とを備えた配線基板であって、

前記絶縁膜は、前記第1の配線の一部を露出するよう前記絶縁膜に形成され
た第1開口と、前記第2の配線の一部を露出するよう前記絶縁膜に形成された
10 第2開口とを有し、

前記導電部は、前記第1の開口および前記第2の開口を介して前記第1の配
線および前記第2の配線と接続し、前記導電部の前記第1の開口および前記第
2の開口を結ぶ配線の平面長さは、前記第1の開口および前記第2の開口を前
記延在する方向に結ぶ線分の長さよりも大きく設定されることを特徴とするア
15 レイ基板。

2. 複数の走査線と、第1絶縁膜を介してこの走査線に略直交して配列され
る複数の信号線と、これら走査線及び信号線がなす各交点の近傍にそれぞれ配
置され一の端子が前記信号線に電氣的に接続されるスイッチング素子と、これ
ら走査線、信号線及びスイッチング素子を含む積層配線パターンを被覆する第
20 2絶縁膜と、この第2絶縁膜上にて前記各交点にそれぞれ対応してマトリクス
状に配列される画素電極と、前記第2絶縁膜を貫き前記スイッチング素子の他
の端子を前記画素電極に導通させる画素電極用コンタクトホールとを備えた
平面表示装置用のアレイ基板において、

前記信号線または走査線に生じた断線部と、
25 前記断線部の両側で前記第2絶縁膜を貫いて前記信号線または走査線の上

面を露出させる一対のコンタクトホールと、

前記一対のコンタクトホール的一方から他方へと前記断線部を迂回するよう
に延び、前記断線部の両側を電氣的に接続するバイパス配線と、

前記断線部の近傍から前記バイパス配線の配置個所に至る領域で前記画素

5 電極が除去された画素電極切り欠き部とを備えることを特徴とするアレイ基
板。

3. 前記バイパス配線が前記断線部の近傍を迂回して前記切り欠きの縁に沿
って延び、

10 前記バイパス配線と、前記断線部及びこの両側の配線部分とにより囲まれる
領域に、遮光膜のパターンが配置されたことを特徴とする請求項2記載のアレ
イ基板。

4. 前記バイパス配線と前記画素電極との間が離間されて、これらの間の電
氣的な接触が防止されていることを特徴とする請求項2または3記載のアレイ
基板。

15 5. 前記バイパス配線が、前記断線部の近傍に至るまで延在されて、前記画
素電極切り欠き部の内側の略全体を覆うベタパターンをなすことを特徴とする
請求項2記載のアレイ基板。

20 6. 前記第2絶縁膜が、厚さ1 μm 以上の絶縁性の樹脂膜、またはこれを含
む積層膜であり、前記バイパス配線は、前記樹脂膜を除去して該樹脂膜の下層
にある非樹脂材料の絶縁膜を露出させた領域に設けられたことを特徴とする請
求項2または5記載のアレイ基板。

7. 複数の走査線と、この走査線に略直交して配列される複数の信号線と、
これら走査線及び信号線がなす各交点にそれぞれ対応するようにマトリクス
状に配列される画素電極と、前記各交点の近傍にそれぞれ設けられ前記信号線
25 から前記画素電極への信号入力を行なうスイッチング素子とを備えた平面表

示装置用のアレイ基板を製造する方法であって、

一連の成膜及びパターニングにより、前記走査線、前記信号線、前記画素電極及び前記スイッチング素子を完成させる成膜・パターニング工程と、

この成膜・パターニング工程の後に、画素領域中にある一の配線の断線部及

5 びその位置を検出する工程と、

前記断線部の近傍領域のうち、前記一の配線により画される一方の側、または両側において、前記画素電極をなす導電膜をレーザー照射により除去して該画素電極に切り欠きを設ける工程と、

前記切り欠きの内側にてレーザーCVDによる導電層の堆積を順次又は連続して
10 行うことにより、前記断線部を迂回して前記断線部の両側の配線部分を互いに導通させるためのバイパス配線を設ける工程とを備えたことを特徴とするアレイ基板の製造方法。

8. 複数の走査線と、第1絶縁膜を介してこの走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点の近傍にそれぞれ配
15 置され一の端子が前記信号線に電氣的に接続されるスイッチング素子と、これら走査線、信号線及びスイッチング素子を含む積層配線パターンを形成する一連の工程と、

これらを被覆する第2絶縁膜を形成する工程と、

この第2絶縁膜上に、前記各交点にそれぞれ対応してマトリクス状に画素電
20 極を設ける工程と、

前記第2絶縁膜を貫き前記スイッチング素子の他の端子を前記画素電極に導通させる画素電極用コンタクトホールを設ける工程とを備えた平面表示装置用のアレイ基板の製造方法において、

画素領域中にある一の配線の断線部及びその位置を検出する工程と、

25 前記断線部の近傍領域のうち、前記一の配線により画される一方の側、また

は両側において、前記画素電極をなす導電膜をレーザー照射により除去して該画素電極に切り欠きを設ける工程と、

前記一の配線上における該断線部の両側にて、レーザー照射により前記一の配線を覆う絶縁膜を除去することで、前記断線部の両側に一对のコンタクトホールを

5 設ける工程と、

前記切り欠き内にてレーザーCVDによる導電層の堆積を順次又は連続して行うことにより、前記断線部を迂回して前記一对のコンタクトホール的一方から他方へと延び前記断線部の両側の配線部分を互いに導通させるためのバイパス配線を設ける工程とを備えたことを特徴とするアレイ基板の製造方法。

10 9. 前記バイパス配線工程において、前記断線部の近傍を迂回して前記切り欠きの縁に沿って延びるバイパス配線が形成され、

この後、該バイパス配線と、前記断線部及びこの両側の配線部分とにより囲まれる領域にて、レーザーCVDによる導電層の堆積を行うことにより、該領域を覆う遮光膜のパターンを形成する工程を備えたことを特徴とする請求項7

15 または8に記載のアレイ基板の製造方法。

10. 前記第2絶縁膜として、厚さ1 μ m以上の絶縁性の樹脂膜、またはこれを含む積層膜を設け、

レーザー照射により、前記画素電極の切り欠きを設けるとともに、該切り欠き内の領域にて前記樹脂膜を除去してその下層の絶縁膜を露出させることを特

20 徴とする請求項7または8に記載のアレイ基板の製造方法。

11. 前記バイパス配線として、前記切り欠きの内側を埋めるベタパターンを設けることを特徴とする請求項7、8または10に記載のアレイ基板の製造方法。

12. レーザーCVDにより、前記バイパス配線を設けるとともに、前記樹脂膜の端面を被覆する金属遮光膜を設けることを特徴とする請求項7、8または

25

10に記載のアレイ基板の製造方法。

13. 前記断線部が異物の介在による断線部であると判定した場合に、前記切り欠きを設ける工程、及び前記バイパス配線を設ける工程を行い、その他の断線部であると判定した場合に、前記一の配線に沿って延びる接続配線をレーザーCVDによって設けることを特徴とする請求項7または8に記載のアレイ基板の製造方法。

14. 複数の走査線と、第1絶縁膜を介してこの走査線に略直交して配列される複数の信号線と、これら走査線及び信号線がなす各交点の近傍にそれぞれ配置され一の端子が前記信号線に電氣的に接続されるスイッチング素子と、これら走査線、信号線及びスイッチング素子を含む積層配線パターンを被覆する第2絶縁膜と、この第2絶縁膜上に前記各交点にそれぞれ対応してマトリクス状に配列される画素電極と、前記第2絶縁膜を貫き前記スイッチング素子の他の端子を前記画素電極に導通させる画素電極用コンタクトホールと、前記走査線及び信号線から画素領域外の周縁部に引き出す引き出し配線とを備えた平面表示装置用のアレイ基板において、

異物の介在により前記引き出し配線に生じた断線部と、

前記断線部の両側で前記第2絶縁膜を貫いて前記信号線の上面を露出させる一対のコンタクトホールと、

前記一対のコンタクトホール的一方から他方へと、前記第2絶縁膜上で、前記断線部を迂回するように延び、前記断線部の両側を電氣的に接続するバイパス配線とを備え、

このバイパス配線の幅が、前記引き出し配線の幅の2倍以上であることを特徴とするアレイ基板。

15. 基板上に複数の配線を形成する工程と、
前記配線を被覆する絶縁膜を形成する工程と、

前記複数の配線の断線部を検出する工程と、

前記配線上の前記断線部を挟む両側に開口が形成されるよう前記絶縁膜を部分的に除去する工程と、

前記断線部と平面的に重複しない経路で前記開口間を電氣的に接続するバイ

5 パス配線を形成する工程を含むことを特徴とするアレイ基板の製造方法。

16. 前記断線部上の前記絶縁膜を除去する工程を更に備えることを特徴とする請求項15記載のアレイ基板の製造方法。

17. 前記絶縁膜上に、有機樹脂膜を形成する工程をさらに含み、

前記バイパス配線を形成する部分の有機樹脂膜を除去する工程を有すること

10 を特徴とする請求項15記載のアレイ基板の製造方法。

FIG. 1

実施例 1
6 バイパス配線
10 アレイ基板 (画素領域内)

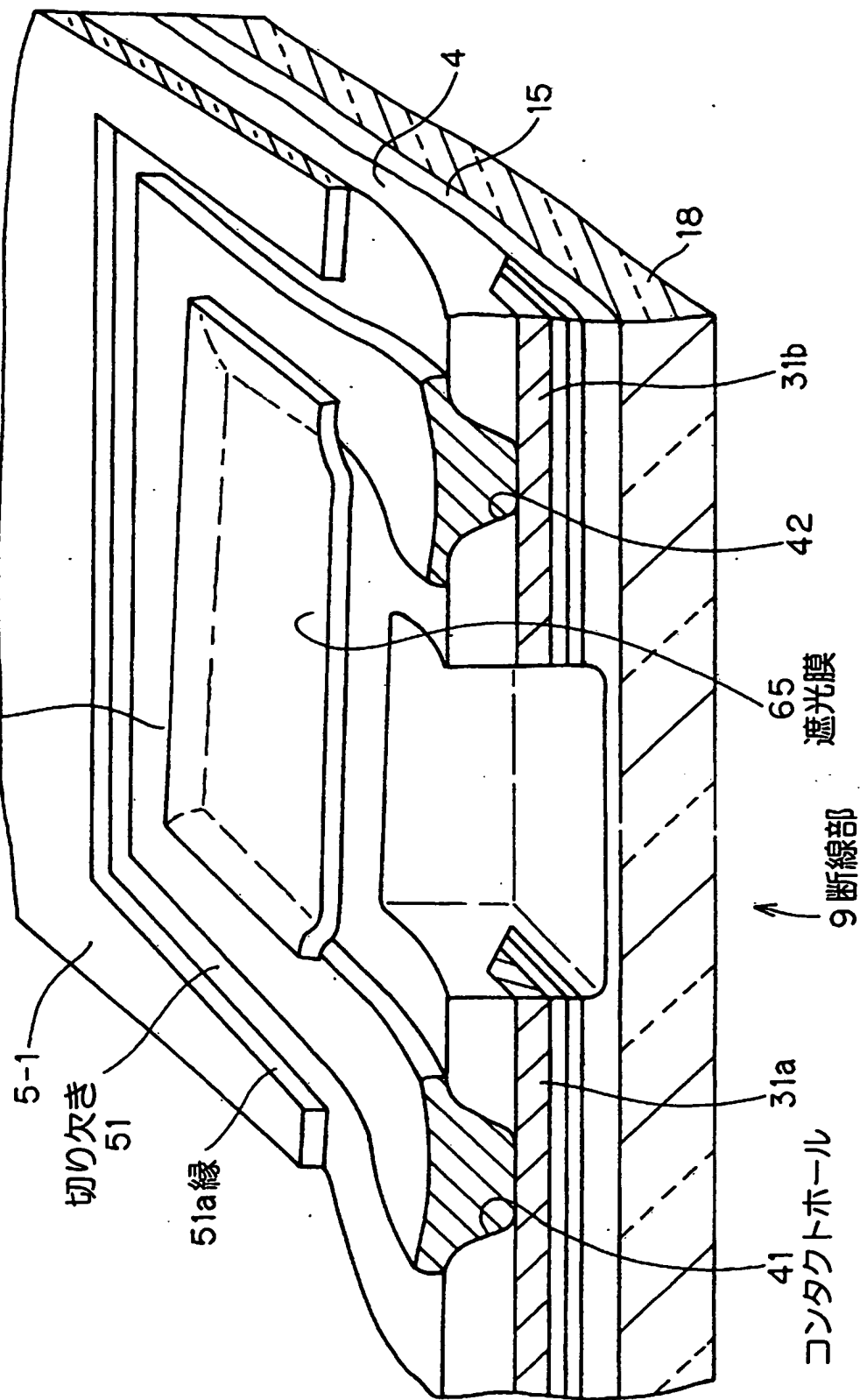


FIG. 2

実施例 1

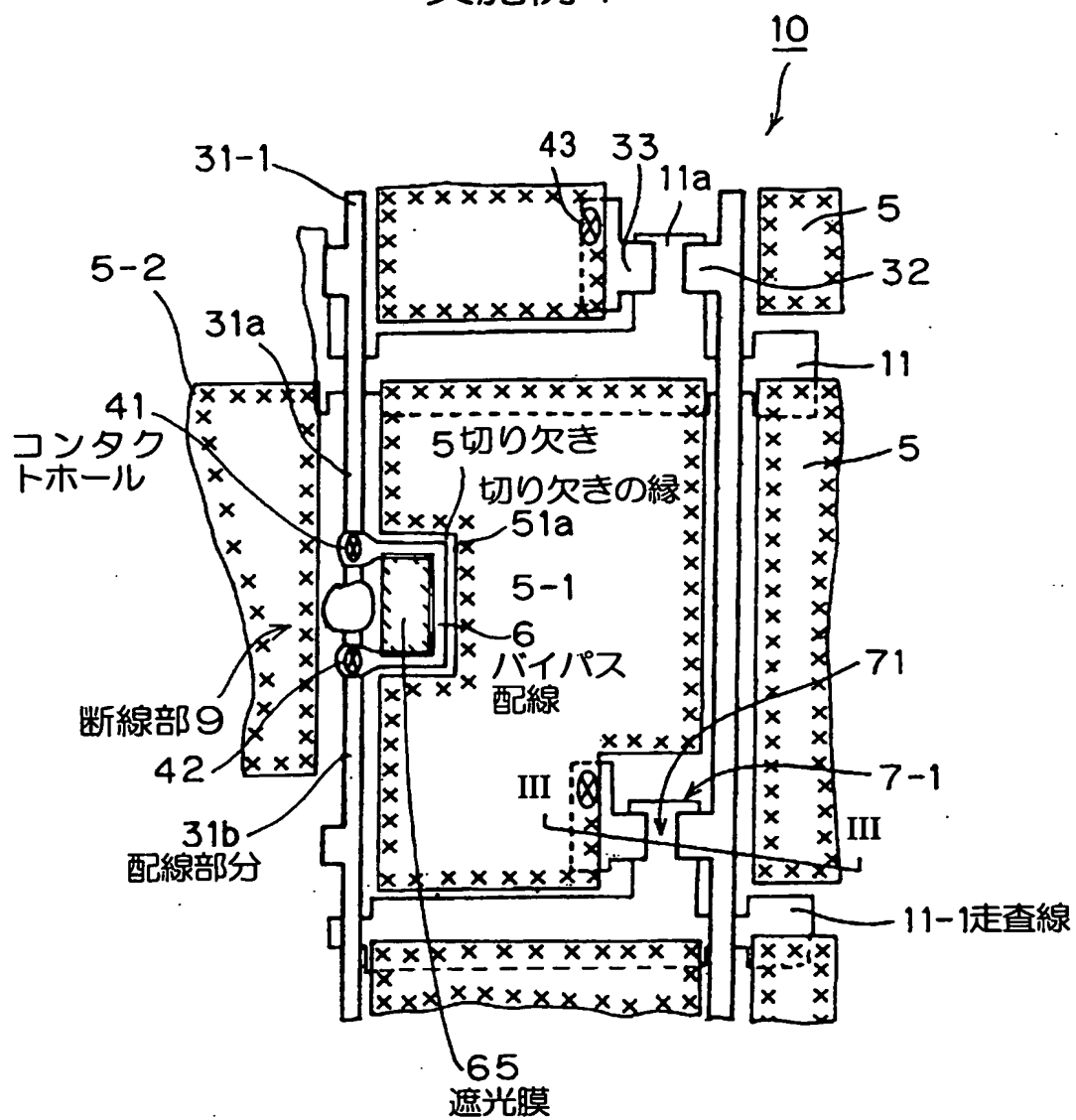


FIG. 3

実施例 1

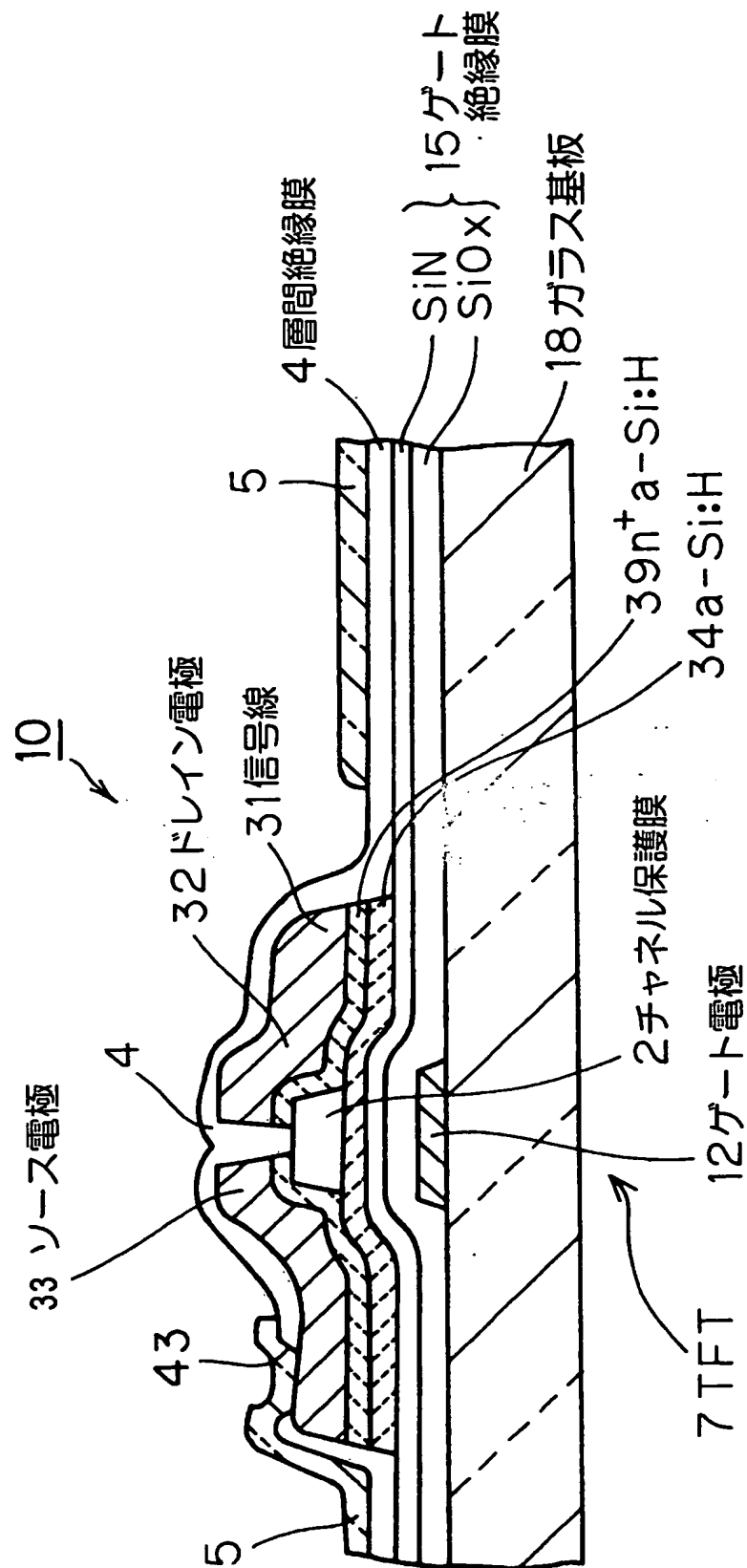


FIG. 5

例 2

10' アレイ基板
(画素領域内)

6' バイパス配線

5-1
切り欠き
51

51a 縁

45
厚型樹脂膜

45a
樹脂膜端面

41
コンタクトホール

31a 65a
段切れ 9

42

31b

66 金属遮光膜

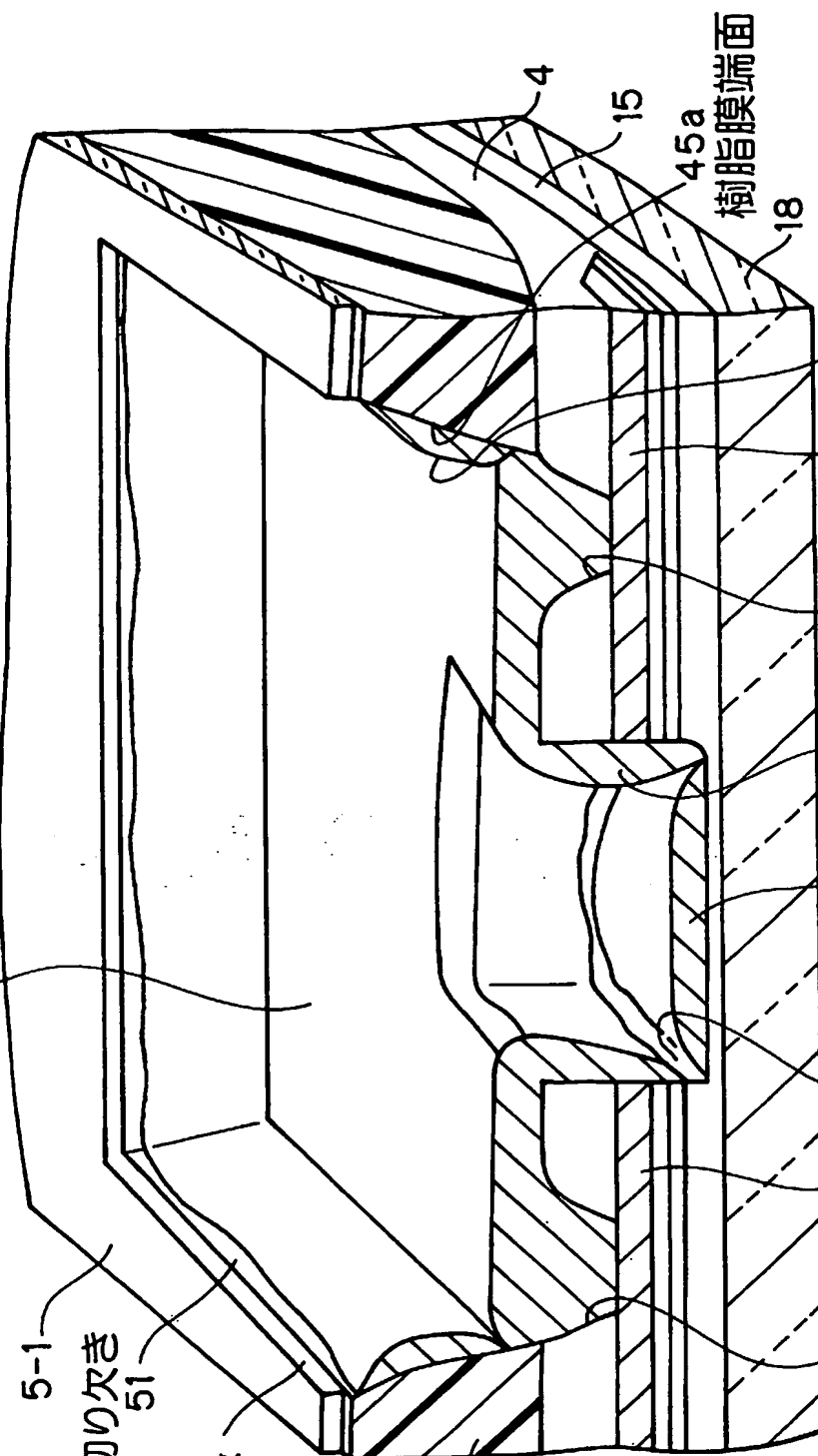


FIG. 6

実施例2

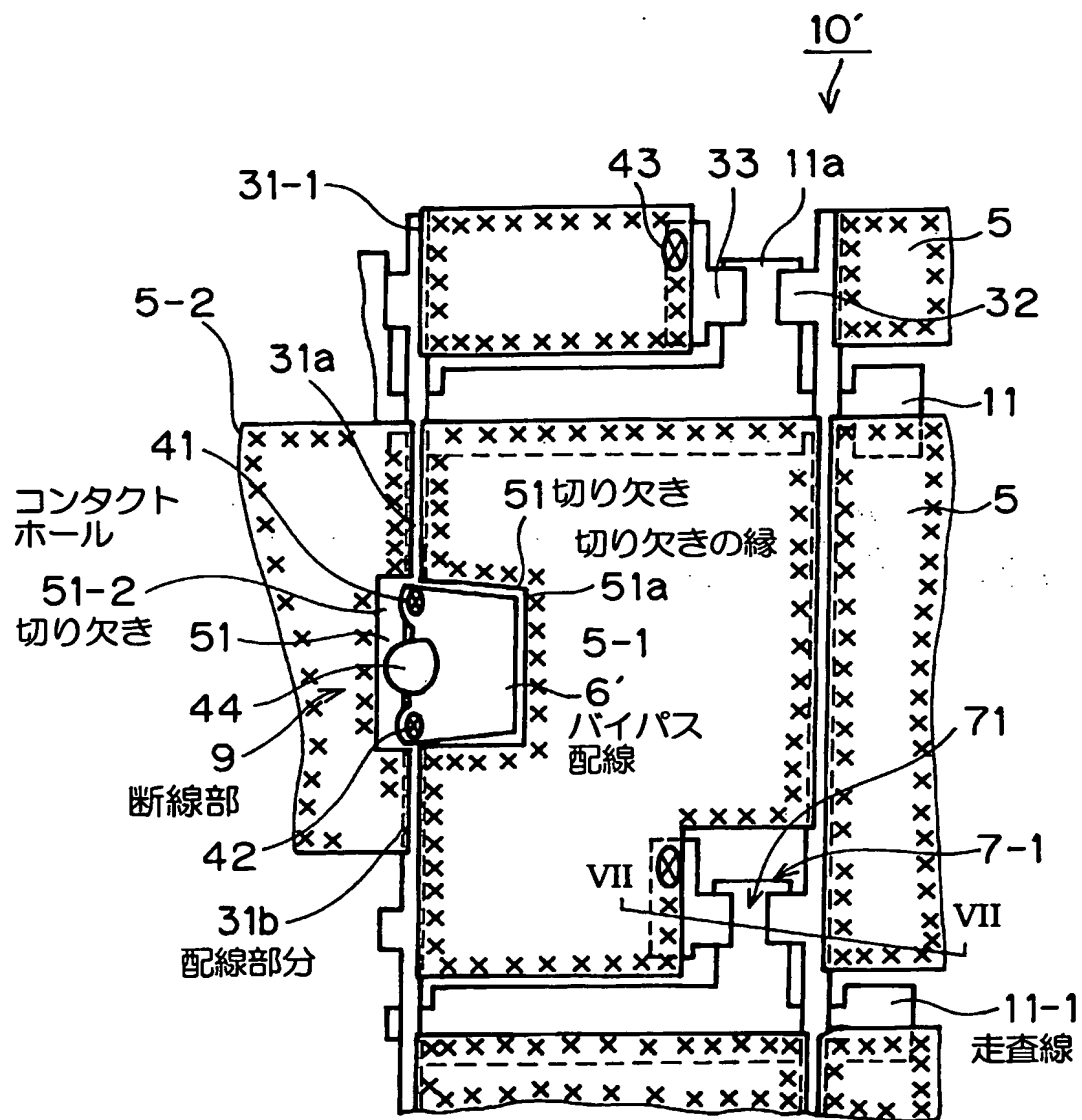
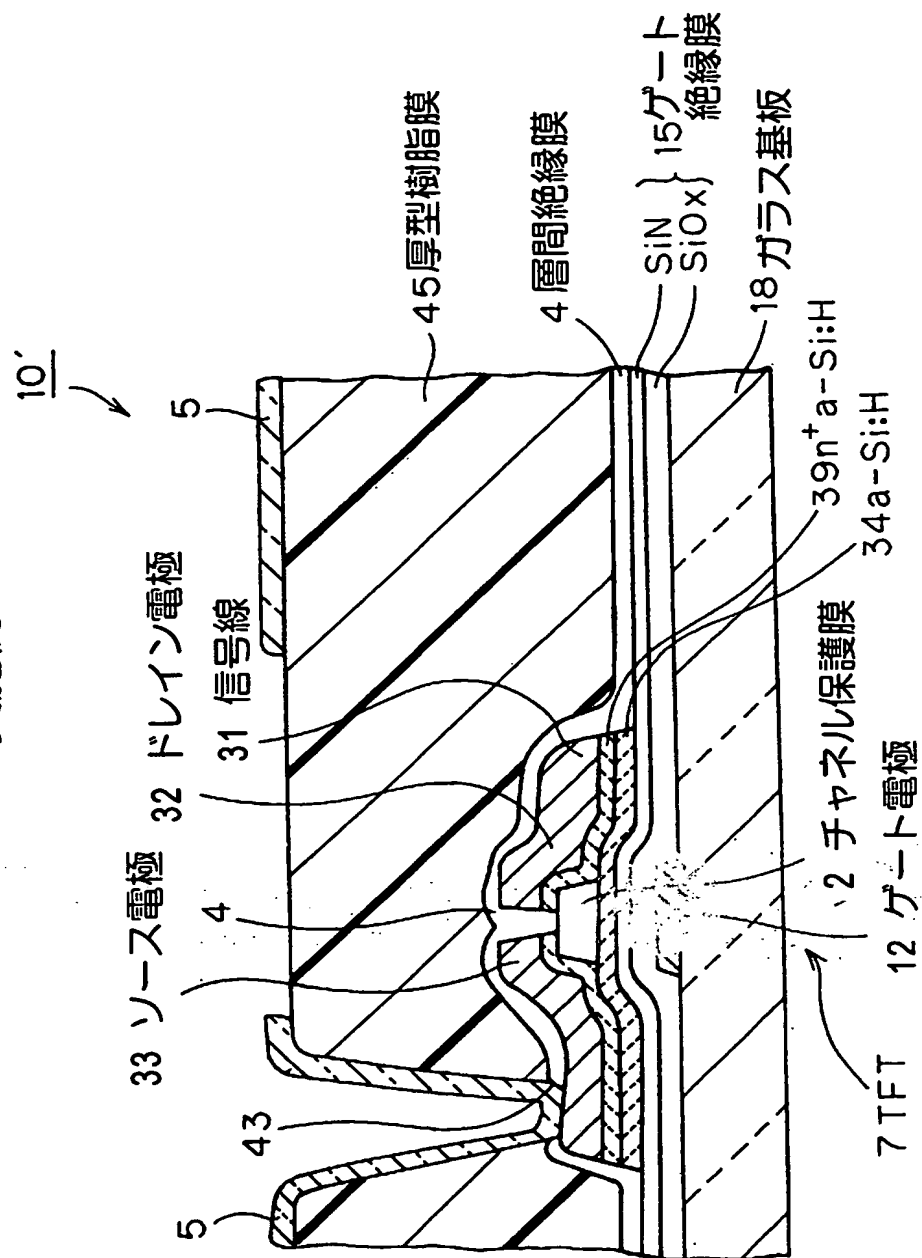


FIG. 7

実施例 2



୧୫୮

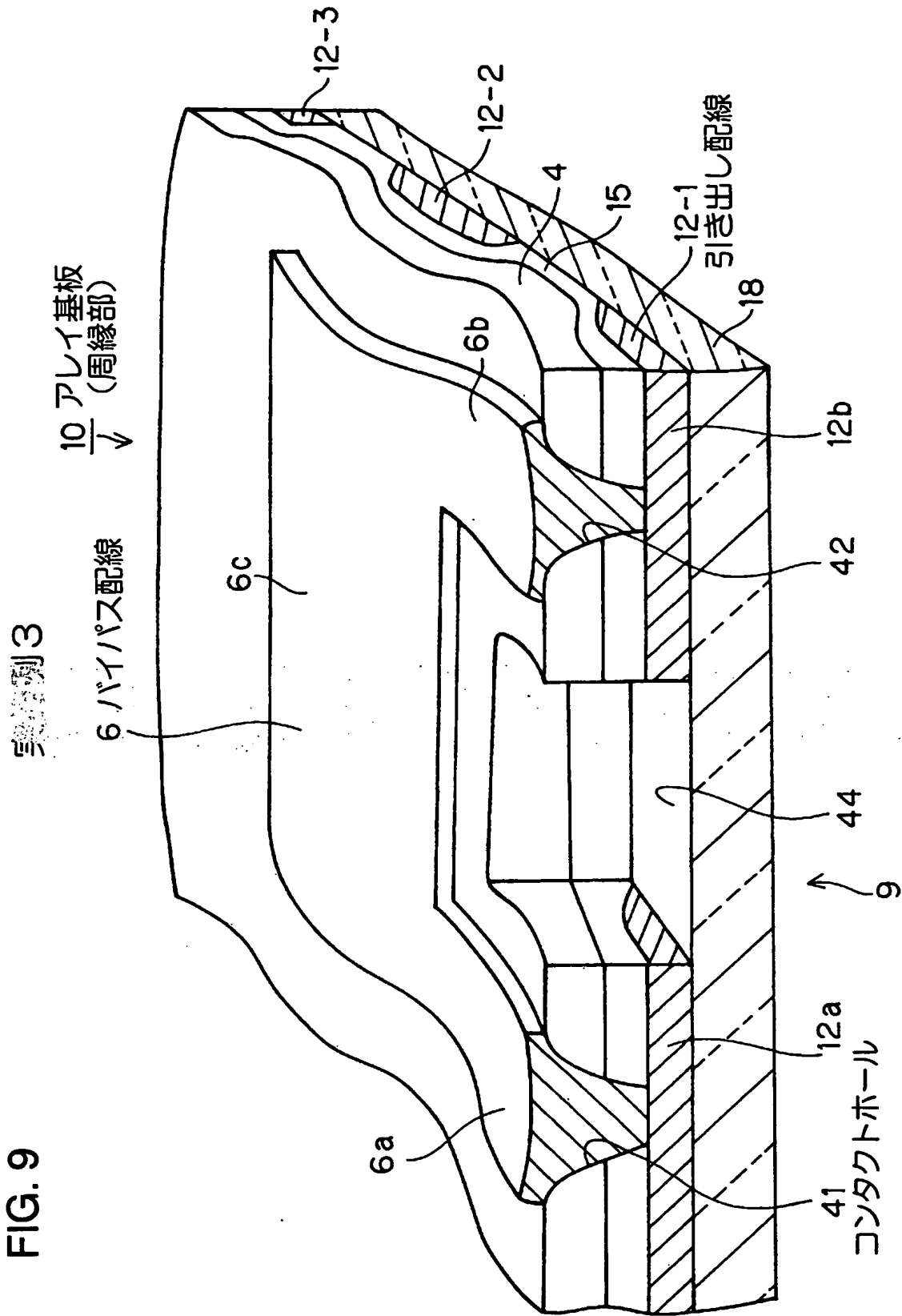
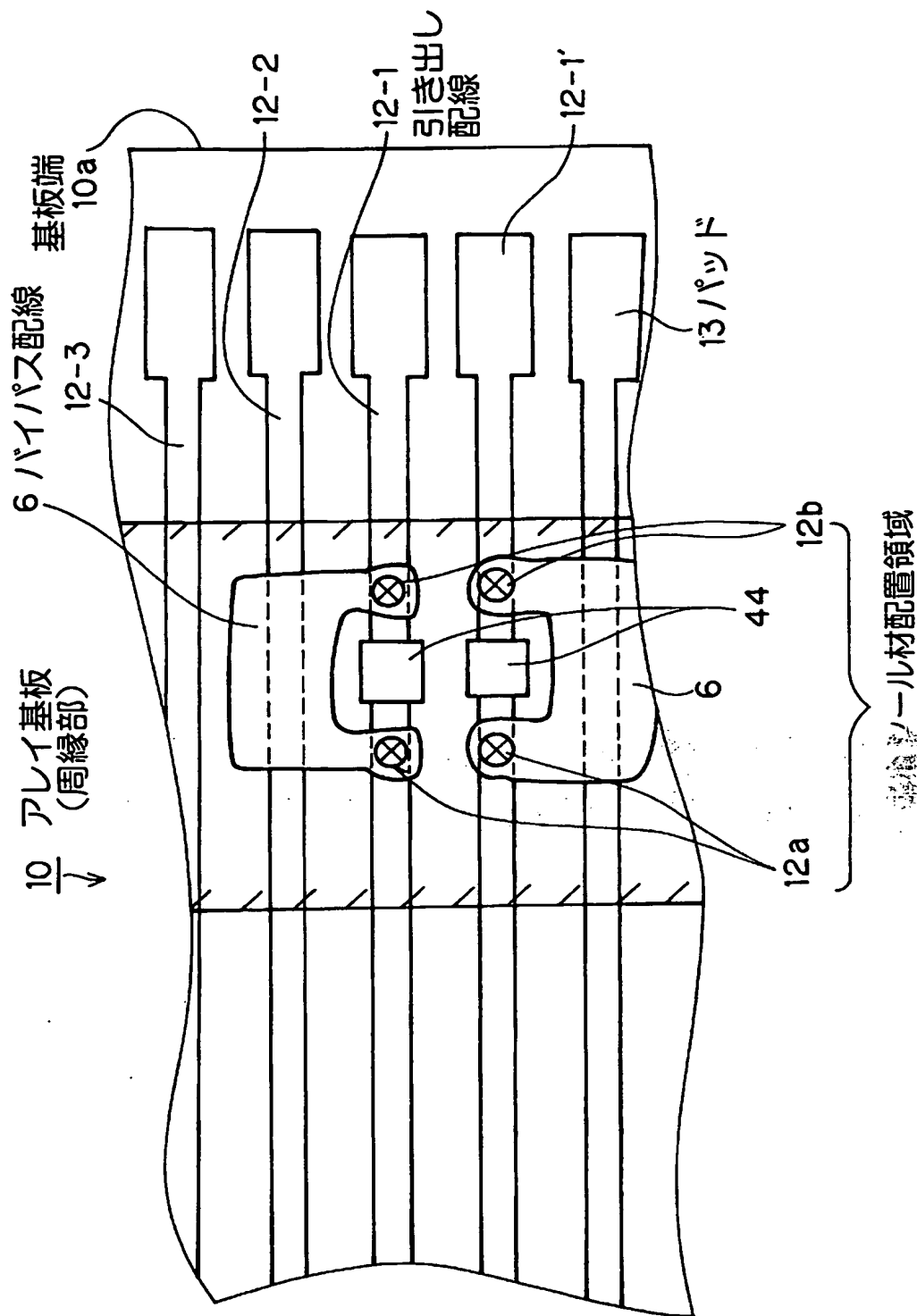


FIG. 10

実施例 3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03544

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G02F1/1343, G02F1/13

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G02F1/1343, G02F1/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-77198 A (Display Technology Kabushiki Kaisha), 23 March, 2001 (23.03.01), Full text; all drawings	1
Y	Full text; all drawings	14-16
A	Full text; all drawings (Family: none)	2-13, 17
X	JP 11-190858 A (SHARP KABUSHIKI KAISHA), 13 July, 1999 (13.07.99), Full text; all drawings	1, 15
Y	Full text; all drawings	14, 16
A	Full text; all drawings (Family: none)	2-13, 17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
09 July, 2003 (09.07.03)

Date of mailing of the international search report
22 July, 2003 (22.07.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03544

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-241833 A (Sanyo Electric Co., Ltd.), 08 September, 2000 (08.09.00), Full text; all drawings	1
Y	Full text; all drawings	14-16
A	Full text; all drawings (Family: none)	2-13,17
Y	US 5532853 A (Samsung Electronics Co., Ltd.), 02 July, 1996 (02.07.96), Full text; all drawings & JP 6-294975 A	14
Y	US 5600460 A (Hitachi, Ltd.), 04 February, 1997 (04.02.97), Full text; all drawings & JP 8-50268 A	14
Y	JP 2-156227 A (SHARP KABUSHIKI KAISHA), 15 June, 1990 (15.06.90), Full text; all drawings (Family: none)	14
Y	US 5883437 A (Hitachi, Ltd.), 16 March, 1999 (16.03.99), Full text; all drawings & JP 8-184842 A	15-16
A	EP 365244 A (SHARP KABUSHIKI KAISHA), 25 April, 1990 (25.04.90), Full text; all drawings & JP 2-204727 A	2-13,17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03544

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03544

Continuation of Box No. II of continuation of first sheet (1)

For the following reasons, the international application contains four inventions not complying with the requirement of unity of invention.

Main Invention: "Claim 1"

Second Invention: "Claims 2 to 13"

Third Invention: "Claim 14"

Fourth Invention: "Claims 15 to 17"

The international search considering the invention of claim 1 as the "invention first mentioned ("main invention") has reveal that the technical feature of claim 1 is not novel since it is disclosed as a prior art in document JP 2001-77198 A (Display Technology Kabushiki Kaisha), 2001.03.23.

Therefore, the technical feature of claim 1 cannot be considered as "a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Insofar the invention of claims 2 to 13 is compared with the above prior art, "the (immediate) special technical feature" of the second invention is "the array substrate having a pixel electrode cut portion".

Insofar the invention of claims 14 is compared with the above prior art, "the (immediate) special technical feature" of the third invention is "the array substrate having a bypass wiring the width of which is two or more times that of the lead-out wiring"

Insofar the invention of claims 15 to 17 is compared with the above prior art, "the (immediate) special technical feature" of the fourth invention is "the step of detecting a disconnection part of wirings".

There is no technical relationship among the second to fourth inventions involving one or more of the same or corresponding special technical feature.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G02F1/1343, G02F1/13

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G02F1/1343, G02F1/13

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公案 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2001-77198 A (ディスプレイ・テクノロジー株式会社) 2001.03.23 全文, 全図 全文, 全図 全文, 全図 (ファミリーなし)	1 14-16 2-13, 17

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

09.07.03

国際調査報告の発送日

22.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山口 裕之

2X

2913

電話番号 03-3581-1101 内線 3293

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 11-190858 A (シャープ株式会社) 1999. 07. 13 全文, 全図 全文, 全図 全文, 全図 (ファミリーなし)	1, 15 14, 16 2-13, 17
X Y A	JP 2000-241833 A (三洋電機株式会社) 2000. 09. 08 全文, 全図 全文, 全図 全文, 全図 (ファミリーなし)	1 14-16 2-13, 17
Y	US 5532853 A (Samsung Electronics Co., Ltd.) 1996. 07. 02 全文, 全図 & JP 6-294975 A	14
Y	US 5600460 A (Hitachi, Ltd.) 1997. 02. 04 全文, 全図 & JP 8-50268	14
Y	JP 2-156227 A (シャープ株式会社) 1990. 06. 15 全文, 全図 (ファミリーなし)	14
Y	US 5883437 A (Hitachi, Ltd.) 1999. 03. 16 全文, 全図 & JP 8-184842 A	15-16
A	EP 365244 A (SHARP KABUSHIKI KAISHA) 1990. 04. 25 全文, 全図 & JP 2-204727 A	2-13, 17

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

特別ページ参照。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

第Ⅱ欄の続き

以下の理由により、この国際出願は発明の単一性の要件を満たさない4つの発明を含む。

主発明：「クレーム1」

第2発明：「クレーム2～13」

第3発明：「クレーム14」

第4発明：「クレーム15～17」

請求の範囲1を「最初に記載されている発明（「主発明」）」として調査を行った結果、請求の範囲1に記載の特徴は、先行技術として、文献JP 2001-77198 A（ディスプレイ・テクノロジー株式会社）、2001.03.23に開示されているから新規でないことが明らかとなった。

したがって、請求の範囲1に記載の特徴は、PCT規則13.2の第2文の意味において「特別な技術的特徴」とは認められない。

請求の範囲2～13と上記先行技術とを比較する限りにおいて、第2発明の「（当座の）特別な技術的特徴」は「画素電極切り欠き部を備えるアレイ基板」である。

一方、請求の範囲14と上記先行技術とを比較する限りにおいて、第3発明の「（当座の）特別な技術的特徴」は「バイパス配線の幅が引き出し配線の幅の2倍以上であるアレイ基板」である。

一方、請求の範囲15～17と上記先行技術とを比較する限りにおいて、第4発明の「（当座の）特別な技術的特徴」は「複数の配線の断線部を検出する工程」である。

これら主発明と第2～4発明の間に一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係は認められない。